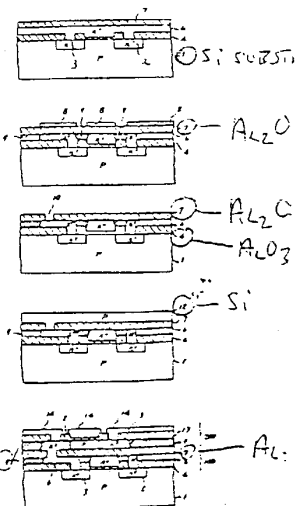


(54) SEMICONDUCTOR DEVICE

(11) Kokai No. 53-38278 (43) 4.8.1978 (19) JP  
(21) Appl. No. 51-113240 (22) 9.20.1976  
(71) FUJITSU K.K. (72) MASARU IHARA(1)  
(52) JPC: 99(5)H0  
(51) Int. Cl<sup>2</sup>: H01L27/04, H01L21/88

PURPOSE: To make a three-dimensionally integrated device by alternately laminating  $Al_2O_3$  and Si of single crystal, and selectively forming  $SiO_2$  by performing thermal oxidation through the  $Al_2O_3$  with a  $Si_3N_4$  film as a mask.

CONSTITUTION: After n<sup>+</sup> layers 2, 3 are formed on a p type Si substrate 1, holes are opened in the  $Al_2O_3$  film 4 and thin film portions are made, then the surface is laminated with a Si layer 6 and  $Al_2O_3$  7, and the Si 6 is selectively converted to  $SiO_2$  layers 9 by performing thermal oxidation in an oxidative atmosphere through the layer 7 via  $Si_3N_4$  mask 8. Next, the film 8 is removed, a Si layer 12 is laminated, FETs are formed according to an ordinary method and required electrodes and wirings are applied, whereby an IC multilayered with circuit elements may be obtained and further by repeated three-dimensional disposition, the scale of integration is increased.



25703

⑨日本国特許庁

⑩特許出願公開

公開特許公報

昭53—38278

⑪Int. Cl.<sup>2</sup>

識別記号

⑫日本分類

庁内整理番号

⑬公開 昭和53年(1978)4月8日

H 01 L 27/04

99(5) H 0

7210—57

H 01 L 21/88

発明の数 1

審査請求 未請求

(全 4 頁)

⑭半導体装置

⑮発明者 西内統一

川崎市中原区上小田中1015番地

富士通株式会社内

⑯特 願 昭51—113240

⑰出 願 昭51(1976)9月20日

⑱出 願 人 富士通株式会社

⑲発明者 井原賢

川崎市中原区上小田中1015番地

川崎市中原区上小田中1015番地

⑳代理人 弁理士 松岡宏四郎

富士通株式会社内

明 細 書

1 発明の名称 半 導 体 装 置

2 特許請求の範囲

単結晶シリコン層と該単結晶シリコン層を夹む単結晶アルミナ層とを具備し、前記単結晶シリコン層は前記単結晶アルミナ層の間において回路素子の少なくとも一部又は配線層を形成するパターンを有し、この単結晶シリコン層パターンを囲む二酸化シリコン層が設けられたことを特徴とする半導体装置。

3 発明の詳細な説明

本発明は高集積化可能な半導体装置、特に3次元に集積化した半導体装置に関する。

一般に半導体集積回路装置は半導体基板表面に回路素子を2次元的に配置しているが、これを3次元的に配置すれば飛躍的な集積度の向上が期待できる。具体的には、半導体層と絶縁層を交互に積層し各半導体層内に回路素子を2次元的に作り込むことにより、このような3次元的配置を達成することができる。しかしながら、従来かかる半

導体装置の実現は困難と考えられていた。その理由は、第1には上記の如き積層構造において単結晶の半導体層を得るのが困難なためであり、第2には各半導体層内に形成した回路素子への配線が困難なためである。

第1の問題に関しては、従来提案されている2、3の技術が既にその解決の糸口を示唆している。例えば特公昭47—4829号公報には単結晶Si基板上へ極薄の単結晶絶縁膜を気相成長により形成し得ることが示されている。さらに本発明者等により完全な厚い単結晶絶縁層(単結晶Al<sub>2</sub>O<sub>3</sub>層)を気相成長させる技術の特願昭50—147926号において提案している。かかる既提案の技術により単結晶Si層と単結晶絶縁層を交互にエピタキシャル成長させれば、前述の如き積層構造が実現されるのである。

しかし各半導体層内の回路素子への配線を如何にするかに関しては有効な解決の手段は見当たらない。即ち、通常の半導体集積回路装置における電極配線技術をそのまま適用したのでは、その上に

単結品の半導体或いは絶縁層をエピタキシャル成長させることは最早不可能である。

本発明は全く新規な概念を導入して上記問題を解決し、素子の3次元的配置とそれらの間の配線を実現した半導体装置を提供せんとするものである。

即ち、本発明の半導体装置は、単結品シリコン(Si)層と該単結品Si層を挟む単結品アルミナ( $Al_2O_3$ )層とを具備し、前記単結品Si層は前記単結品 $Al_2O_3$ 層の間において回路素子の少なくとも一部又は配線層を構成するパターンを有し、この単結品Si層パターンを囲む二酸化シリコン( $SiO_2$ )層が設けられたことを特徴とするものであり、以下これを詳細に説明する。

本発明においては単結品Si層を配線層としても利用するものであり、回路素子又は配線層を構成する単結品Si層のパターンを $SiO_2$ 層で囲むように構成し、さらにこの単結品Si層及び $SiO_2$ 層と単結品 $Al_2O_3$ 層とを交互に積層した構成とするが、単結品Si層パターンとそれを囲む $SiO_2$

特開第53-33278号

層パターンを形成した後ではその上に一様な単結品 $Al_2O_3$ 層を成長させることはできない。本発明によれば、かかる構成を実現するためには、単結品 $Al_2O_3$ 層を通してのSi層の熱酸化が利用される。即ちSi上に厚さ1 $\mu$ 程度の $Al_2O_3$ 層が存在しても酸化雰囲気中での加熱により通常の熱酸化時の60~70%程度の速度でSiの酸化が進む。それ故、一様な単結品Si層上全面に単結品 $Al_2O_3$ 層を成長させ、この単結品 $Al_2O_3$ 層上に窒化シリコン( $Si_3N_4$ )層のような耐酸化マスク層を被覆形成した後熱酸化処理を行なえば、単結品 $Al_2O_3$ 層下のSi層はマスク層のパターン下以外の部分が酸化されて $SiO_2$ 層に交換され、引続き耐酸化マスク層除去後単結品 $Al_2O_3$ 層上に単結品Si層をエピタキシャル成長させて上記工程を繰り返すことにより、前述の積層構造が実現される。

次に本発明をMIS型電界効果トランジスタを含む集積回路に適用したときの実施例を図面により詳細に説明しよう。

第1図(a)~(b)は本発明実施例の半導体装置を製造する工程の一列を示す。

まず、P型Si基板1に不純物の選択拡散によりソース、ドレインとする $n$ 型拡散領域2、3を形成した後、表面の拡散マスク等を除去してSi基板1を露出させる(第1図(a))。このSi基板表面上に $Al-HCl-CO-H$ 系気相成長法により1000~1300℃で単結品 $\alpha-Al_2O_3$ を1 $\mu m$ 程度の厚さに成長させる。成長した単結品 $Al_2O_3$ 層4のソース及びドレイン間の部分をエッチングで厚くする等してゲート絶縁膜とする、1000Å前後の厚さの単結品 $Al_2O_3$ 層4'を形成する。またソース、ドレイン領域2、3上の単結品 $Al_2O_3$ 層4にコンタクト用の開口5を設ける(第1図(b))。ソース、ドレイン領域2、3の形成はこの段階で開口5を通して $n$ 型不純物を拡散することにより行なってもよい。

この上の $n$ 型Siのエピタキシャル成長を行なう。成長は通常の $SiH_4-H_2$ 系の成長法を適用してよい。基板上に露出している面は全て単結品の

$Al_2O_3$ 又はSiであるため、第1図(c)の如く一様な単結品Si層6が形成される。Si層6の厚さは5000~10000Å程度とする。続いて、前述したのと同様にしてこの上に単結品 $Al_2O_3$ 層7を成長させる(第1図(d))。このSi層6はソース、ドレイン、ゲートの電板、配線として利用するものであるから、高濃度不純物を含むことで低抵抗にすることが望ましく、このためは高濃度 $n$ 型不純物を含むSiをエピタキシャル成長させるか、成長後に高濃度の $n$ 型拡散を行なえばよい。前述のソース、ドレイン形成は、こうして得た $n$ 型Si層6から $Al_2O_3$ 層4に設けた開口5を通してP型基板1内へ $n$ 型不純物を拡散することにより行なってもよい。

続いて、前述したのと同様にしてこの上に単結品 $Al_2O_3$ 層7を成長させる(第1図(d))。この単結品 $Al_2O_3$ 層の厚さは1 $\mu$ 前後でよい。

しかる後、第1図(e)の如く、単結品 $Al_2O_3$ 層7上に酸素の透過を阻止し得る耐酸化マスク層、例えば $Si_3N_4$ 層8を所定のパターンに形成し、

酸化雰囲気中で950-1150℃程度に加熱すると、 $\text{Si}_3\text{N}_4$ 層8で覆われていない部分下の $\text{Si}$ 層6は熱酸化されて $\text{SiO}_2$ 層9に変換される。これによって $\text{Si}_3\text{N}_4$ 層8と同一パターンに $\text{Si}$ 層6が残る、その周囲は熱酸化による $\text{SiO}_2$ 層9で囲まれる。それ故、 $\text{Si}_3\text{N}_4$ 層8を電極、配線のパターンとしてかくことにより、低抵抗のn<sup>+</sup>型単結晶 $\text{Si}$ 層6から成るソース、ドレイン及びゲートの電極、配線を形成することができる。この段階においても $\text{Al}_2\text{O}_3$ 層7は一樣に単結晶状態に維持されるため、その上へのエピタキシャル成長が可能である。上述の第1図(d)の工程においては極く薄い単結晶 $\text{Al}_2\text{O}_3$ 層7を形成して、本工を終了後 $\text{Si}_3\text{N}_4$ 層8を除去し、既に単結晶 $\text{Al}_2\text{O}_3$ の気相成長を所望の厚さとなるまで行なうようにすることも可能である。

次に、 $\text{Si}_3\text{N}_4$ 層8をエッチング除去後、第1図(f)の如く、単結晶 $\text{Al}_2\text{O}_3$ 層7へ層間接続用の開口10を設けた後、第1図(g)の如く全面にP型の単結晶 $\text{Si}$ 層12をエピタキシャル成長

させる。

その後、単結晶 $\text{Si}$ 層12に常法に従ってMIS型電界効果半導体装置を形成し、必要な電極、配線を施せば回路素子を2層に多重化した半導体集積回路が得られる。さらに上記工程を繰り返すことにより3層以上に多重化した半導体装置を得ることも可能である。

以上の如き工程により得られた本発明実施例の半導体装置の一部断面構造を第1図(a)に示す。この半導体装置は回路素子を2層に多重配置したものであり、最上層の絶縁層13及び電極、配線層14には単結晶 $\text{Al}_2\text{O}_3$ 及び単結晶 $\text{Si}$ に限らず任意の材料を用いてよい。第1図(a)において100及び200はMIS型電界効果トランジスタを夫々含む第1層目及び第2層目を示し、2、3はソース、ドレイン領域、4、7は単結晶 $\text{Al}_2\text{O}_3$ 層、6は電極、配線用の単結晶 $\text{Si}$ 層、9は $\text{SiO}_2$ 層を夫々示す。同図から明らかな如く、本実施例の半導体装置では第1層目100と第2層目200内のMIS型トランジスタが $\text{Al}_2\text{O}_3$ 層7により

分離され、且つ $\text{Al}_2\text{O}_3$ 層7に設けた層間接続孔を介して単結晶 $\text{Si}$ 層6より相互接続がなされている。そして回路素子又は電極、配線を構成する単結晶 $\text{Si}$ 層は単結晶 $\text{Al}_2\text{O}_3$ 層4、7及び $\text{SiO}_2$ 層9により包囲されているため寄生容量が小さく高速化に有利であり、また単結晶 $\text{Si}$ 層パターンを $\text{SiO}_2$ 層9が覆ひ形となっているため表面がより平坦化されて表面での配線や素子形成が容易となる利点がある。

上記実施例から明らかな如く、本発明によれば回路素子の3次元的配置により飛躍的な集積度の向上が可能ばかりでなく、寄生容量の減少や表面平坦化等の効果も得られるのである。

尚、本発明は上記実施例に限定されるものではなく、高抵抗サファイア又はスピネルを用いる等の変形が可能であることは明白であらう。

#### 4. 図面の簡単な説明

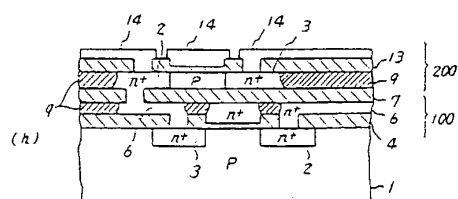
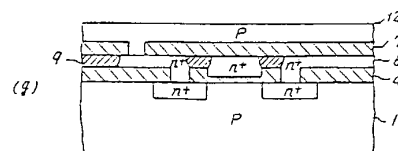
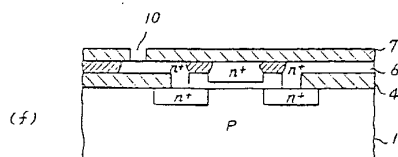
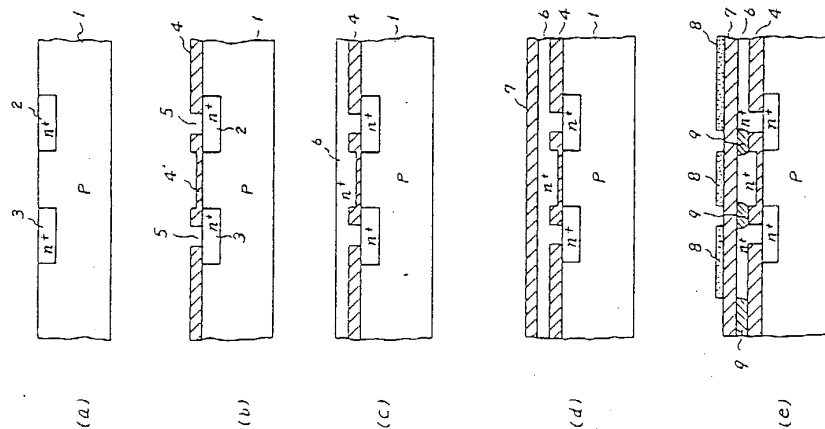
第1図(a)～(g)は本発明実施例を説明するための図である。

2、3……ソース、ドレイン領域

4、7……単結晶 $\text{Al}_2\text{O}_3$ 層  
6、12……単結晶 $\text{Si}$ 層  
9…… $\text{SiO}_2$ 層

代理人 弁理士 松岡安四郎

第1圖



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

### **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**